

#4
6/15/00
日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。
This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年 3月 7日

出願番号
Application Number:

特願2000-062305

出願人
Applicant(s):

セイコーエプソン株式会社

2001年 1月 5日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2000-3108925

【書類名】 特許願

【整理番号】 J0077389

【提出日】 平成12年 3月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/16

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 伊藤 聡

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

 【代表者】 安川 英昭

【代理人】

 【識別番号】 100093388

 【弁理士】

 【氏名又は名称】 鈴木 喜三郎

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ドライバ回路及びドライバ回路の製造方法

【特許請求の範囲】

【請求項 1】 トランジスタを有し、駆動信号を前記トランジスタに与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路であって、

前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信号線と、前記トランジスタのゲート電極とを接続する接続部を、少なくとも 2 つ設けたことを特徴とするドライバ回路。

【請求項 2】 複数のトランジスタを有し、単一の駆動信号を前記各トランジスタに与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路であって、

前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信号線と、前記トランジスタのゲート電極とを接続する接続部を、前記複数のトランジスタのうち少なくとも 1 つのものについて 2 つ以上設けたことを特徴とするドライバ回路。

【請求項 3】 請求項 2 において、

前記接続部を、前記各トランジスタごとに 2 つ以上設けたことを特徴とするドライバ回路。

【請求項 4】 請求項 2 において、

前記接続部を、前記トランジスタの 1 つを除き 2 つ以上設けたことを特徴とするドライバ回路。

【請求項 5】 請求項 2 乃至 4 のいずれかにおいて、

前記接続部の数を、前記複数のトランジスタのうち少なくとも 2 つのものについて異ならせたことを特徴とするドライバ回路。

【請求項 6】 請求項 5 において、

前記接続部の数を、前記各トランジスタごとに異ならせたことを特徴とするドライバ回路。

【請求項 7】 複数のトランジスタを有し、単一の駆動信号を前記各トラン

ジスタに与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路の製造方法であって、

半導体基板上に前記各トランジスタのゲート電極を形成するゲート電極形成工程と、前記トランジスタ上に絶縁層を形成する絶縁層形成工程と、前記絶縁層よりも上層に形成される前記駆動信号を与えるための信号線と前記ゲート電極とを接続するためのコンタクトホールを前記絶縁層に形成するコンタクトホール形成工程と、前記絶縁層上に前記信号線を形成する配線層形成工程とを含み、

前記コンタクトホール形成工程は、前記コンタクトホールを、前記複数のトランジスタのうち少なくとも1つのものについて2つ以上形成することを特徴とするドライバ回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数のトランジスタを有し、単一の駆動信号を各トランジスタに与えて駆動することにより負荷を駆動するドライバ回路およびその製造方法に係り、特に、駆動信号の入力に対する応答に遅れが生ずるのを防止するのに好適なドライバ回路およびその製造方法に関する。

【0002】

【従来の技術】

従来、負荷を駆動する高出力のドライバ回路としては、例えば、図6に示すようなものがあった。図6は、従来のドライバ回路を積層方向から見た平面図である。

【0003】

このドライバ回路は、図6に示すように、多層配線構造の半導体集積回路からなり、例えば、4つのトランジスタ $T_{r1} \sim T_{r4}$ を有し、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することにより負荷を駆動するようになっている。具体的に、このドライバ回路を構成する半導体集積回路は、図示しないが、半導体基板と、半導体基板上に形成された絶縁層と、絶縁層上に形成された配線層とからなっている。

【 0 0 0 4 】

半導体基板上には、各トランジスタ $T_{r1} \sim T_{r4}$ のゲート電極としてポリシリコンからなるゲート電極 $G_1 \sim G_4$ が形成され、配線層には、駆動信号を与えるためのアルミニウムからなる信号線 L_s が各ゲート電極 $G_1 \sim G_4$ の端部を通過するようにそれらと直交して形成されており、各ゲート電極 $G_1 \sim G_4$ と信号線 L_s とが積層方向からみて交差する位置には、それらを接続するコンタクトホール $H_1 \sim H_4$ が形成されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、上記従来のドライバ回路にあっては、各ゲート電極 $G_1 \sim G_4$ がシート抵抗の比較的高いポリシリコンで形成されかつゲート幅が長く、しかも駆動信号を一つのコンタクトホールから入力するようになっているため、ゲート電極全域にわたって入力信号が行きわたるのに時間を要し、駆動信号の入力に対して応答遅れが生じるという問題があった。

【 0 0 0 6 】

そこで、本発明は、このような従来の技術の有する未解決の課題に着目してなされたものであって、駆動信号の入力に対する応答に遅れが生ずるのを防止するのに好適なドライバ回路およびその製造方法を提供することを目的としている。

【 0 0 0 7 】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る請求項 1 記載のドライバ回路は、トランジスタを有し、駆動信号を前記トランジスタに与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路であって、前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信号線と、前記トランジスタのゲート電極とを接続する接続部を、少なくとも 2 つ設けた。

【 0 0 0 8 】

このような構成であれば、ゲート電極には、少なくとも 2 つの接続部を介して信号線から駆動信号が入力されるので、従来に比して、ゲート電極全域にわたっ

て入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなる。

【 0 0 0 9 】

さらに、本発明に係る請求項 2 記載のドライバ回路は、複数のトランジスタを有し、単一の駆動信号を前記各トランジスタに与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路であって、前記トランジスタと絶縁層を隔てて形成される前記駆動信号を与えるための信号線と、前記トランジスタのゲート電極とを接続する接続部を、前記複数のトランジスタのうち少なくとも 1 つのものについて 2 つ以上設けた。

【 0 0 1 0 】

このような構成であれば、少なくとも 1 つのトランジスタについてそのゲート電極には、少なくとも 2 つの接続部を介して信号線から駆動信号が入力されるので、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなる。

【 0 0 1 1 】

さらに、本発明に係る請求項 3 記載のドライバ回路は、請求項 2 記載のドライバ回路において、前記接続部を、前記各トランジスタごとに 2 つ以上設けた。

【 0 0 1 2 】

このような構成であれば、各ゲート電極には、少なくとも 2 つの接続部を介して信号線から駆動信号が入力されるので、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなる。

【 0 0 1 3 】

さらに、本発明に係る請求項 4 記載のドライバ回路は、請求項 2 記載のドライバ回路において、前記接続部を、前記トランジスタの 1 つを除き 2 つ以上設けた。

【 0 0 1 4 】

このような構成であれば、1 つのトランジスタを除き残りすべてのトランジスタについて各ゲート電極には、少なくとも 2 つの接続部を介して信号線から駆動

信号が入力されるので、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなる。

【 0 0 1 5 】

さらに、本発明に係る請求項 5 記載のドライバ回路は、請求項 2 ないし 4 のいずれかに記載のドライバ回路において、前記接続部の数を、前記複数のトランジスタのうち少なくとも 2 つのものについて異ならせた。

【 0 0 1 6 】

このような構成であれば、少なくとも 2 つのトランジスタのゲート電極には、異なる個数の接続部を介して信号線から駆動信号が入力されるので、それら各トランジスタごとにゲート電極全域にわたって入力信号が行きわたる時間がそれぞれ異なる。したがって、それらトランジスタのスイッチングがそれぞれ異なるタイミングで開始されることとなる。

【 0 0 1 7 】

ここで、接続部の数は、複数のトランジスタのうち少なくとも 2 つのものについて異なっていればよく、例えば、5 つのトランジスタのうち 1 つのトランジスタの接続部の数が 2 つであり、他の 4 つのトランジスタの接続部の数が 3 つであるような場合でもよいし、5 つのトランジスタのうち各トランジスタの接続部の数がそれぞれ異なるような場合でもよい。

【 0 0 1 8 】

さらに、本発明に係る請求項 6 記載のドライバ回路は、請求項 5 記載のドライバ回路において、前記接続部の数を、前記各トランジスタごとに異ならせた。

【 0 0 1 9 】

このような構成であれば、各トランジスタのゲート電極には、それぞれ異なる個数の接続部を介して信号線から駆動信号が入力されるので、それら各トランジスタごとにゲート電極全域にわたって入力信号が行きわたる時間がそれぞれ異なる。したがって、それらトランジスタのスイッチングがそれぞれ異なるタイミングで開始されることとなる。

【 0 0 2 0 】

一方、上記目的を達成するために、本発明に係る請求項 1 記載のドライバ回路

の製造方法は、複数のトランジスタを有し、単一の駆動信号を前記各トランジスタに与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路の製造方法であって、半導体基板上に前記各トランジスタのゲート電極を形成するゲート電極形成工程と、前記トランジスタ上に絶縁層を形成する絶縁層形成工程と、前記絶縁層よりも上層に形成される前記駆動信号を与えるための信号線と前記ゲート電極とを接続するためのコンタクトホールを前記絶縁層に形成するコンタクトホール形成工程と、前記絶縁層上に前記信号線を形成する配線層形成工程とを含み、前記コンタクトホール形成工程は、前記コンタクトホールを、前記複数のトランジスタのうち少なくとも1つのものについて2つ以上形成する。

【 0 0 2 1 】

また、コンタクトホール形成工程は、コンタクトホールを、複数のトランジスタのうち少なくとも1つのものについて2つ以上形成すればどのような工程であってもよいが、具体的態様としては、例えば、コンタクトホールを、各トランジスタごとに2つ以上形成する。

【 0 0 2 2 】

また、コンタクトホール形成工程の他の具体的態様としては、コンタクトホールを、トランジスタの一つを除き2つ以上形成する。

【 0 0 2 3 】

また、コンタクトホール形成工程の他の具体的態様としては、コンタクトホールの数が複数のトランジスタのうち少なくとも2つのものについて異なるように、コンタクトホールを形成する。

【 0 0 2 4 】

したがって、複数のトランジスタのうち少なくとも2つのトランジスタについてスイッチングがそれぞれ異なるタイミングで開始されることとなるので、請求項7記載のドライバ回路の製造方法に比して、それらトランジスタに電流を供給する電源線の電圧が大きく変動することがなく、電流ノイズが低減し、出力に大きなノイズが発生しにくくなるという効果も得られる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタに対しては、スイッチング

の高速化の効果およびスイッチングのずれの効果も大きいので適用が好適である。

【 0 0 2 5 】

また、コンタクトホール形成工程の他の具体的態様としては、コンタクトホール数が各トランジスタごとにそれぞれ異なるように、コンタクトホールを形成する。

【 0 0 2 6 】

【発明の実施の形態】

次に、本発明の第 1 の実施の形態を図面を参照しながら説明する。図 1 ないし図 3 は、本発明に係るドライバ回路およびその製造方法の第 1 の実施の形態を示す図である。

【 0 0 2 7 】

本実施の形態は、本発明に係るドライバ回路およびその製造方法を、図 1 に示すように、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路において、駆動信号の入力に対する応答に遅れが生ずるのを防止する場合について適用したものである。

【 0 0 2 8 】

まず、本発明を適用したドライバ回路 10 の構成を図 1 および図 2 を参照しながら説明する。図 1 は、ドライバ回路 10 を積層方向から見た平面図であり、図 2 は、図 1 中の A-A' 線、B-B' 線および C-C' 線の断面図である。

【 0 0 2 9 】

ドライバ回路 10 は、図 1 および図 2 に示すように、多層配線構造の半導体集積回路からなり、例えば、4 つのトランジスタ $T_{r1} \sim T_{r4}$ を有し、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することにより負荷を駆動するようになっている。具体的に、ドライバ回路 10 を構成する半導体集積回路は、図示しないが、半導体基板 11 と、半導体基板 11 上に形成された絶縁層 14 と、絶縁層 14 上に形成された配線層とからなっている。

【 0 0 3 0 】

半導体基板 1 1 上には、各トランジスタ $T_{r1} \sim T_{r4}$ のゲート電極としてポリシリコンからなるゲート電極 $G_1 \sim G_4$ が形成されている。ここで、ポリシリコンのシート抵抗は、100 [Ω/\square]、各ゲート幅は、例えば、80 [μm] 程度である。

【0031】

配線層には、駆動信号を与えるためのアルミニウムからなる信号線 L_s が各ゲート電極 $G_1 \sim G_4$ の端部を通過するようにそれらと直交して形成されているとともに、各ゲート電極 $G_1 \sim G_4$ 上を通過するようにそれらと平行して信号線 $L_{s1} \sim L_{s4}$ が形成されている。各信号線 $L_{s1} \sim L_{s4}$ は、その一端で信号線 L_s に接続している。ここで、アルミニウムのシート抵抗は、50 [$m\Omega/\square$] である。

【0032】

各ゲート電極 $G_1 \sim G_4$ 上には、コンタクトホール $H_{11} \sim H_{43}$ がそれぞれ 3 つずつ設けられている。すなわち、各ゲート電極 $G_1 \sim G_4$ と信号線 L_s とが積層方向からみて交差する位置には、それら配線を接続するコンタクトホール H_{11} , H_{21} , H_{31} , H_{41} が形成されているとともに、各信号線 $L_{s1} \sim L_{s4}$ 上には、それぞれ 2 つのコンタクトホール H_{12} , H_{13} , H_{22} , H_{23} , H_{32} , H_{33} , H_{42} , H_{43} が形成されている。

【0033】

次に、ドライバ回路 10 の製造方法を説明する。

【0034】

ドライバ回路 10 は、次のように製造される。

【0035】

まず、半導体基板 1 1 の表面に素子分離領域として酸化膜 1 2 を形成し、素子領域に所定の不純物拡散を施してから、フォトリソグラフィ技術等によりゲート電極 $G_1 \sim G_4$ を形成し、これらの上に CVD 法等により絶縁層 1 4 を形成する。これが本発明のゲート電極形成工程および絶縁層形成工程に対応する。

【0036】

次いで、絶縁層 1 4 に、通常の写真リソ工程および反応性イオンエッチングによるエッチング工程によりコンタクトホール $H_{11} \sim H_{44}$ を形成する。ここで、

各ゲート電極 $G_1 \sim G_4$ ごとにコンタクトホールをそれぞれ3つずつ形成する。これが本発明のコンタクトホール形成工程に対応する。

【0037】

そして、絶縁層14上にアルミニウム薄膜をスパッタリング等により形成し、その上に塗布されたレジストに対して配線パターンに応じて作成されたマスクを用いてパターニングし、その後にアルミニウム薄膜に対してエッチングを行うことにより配線層を形成する。これが本発明の配線層形成工程に対応する。

【0038】

次に、上記第1の実施の形態の動作を説明する。

【0039】

ドライバ制御回路等によりドライバ回路10に駆動信号を与えると、各ゲート電極 $G_1 \sim G_4$ には、3つのコンタクトホールを介して信号線 L_s 、 $L_{s1} \sim L_{s4}$ から駆動信号が入力される。

【0040】

このため、各ゲート電極 $G_1 \sim G_4$ にコンタクトを1つしか形成しない場合に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなる。

【0041】

【実施例】

次に、本発明の実施例を図3を参照しながら説明する。図3は、駆動信号および出力信号を示すタイムチャートである。図3において、点線①は、本実施の形態におけるドライバ回路10からの出力信号を、波線③は、従来のドライバ回路からの出力信号を、一点鎖線④は、両ドライバ回路に与える駆動信号を示している。

【0042】

従来では、図3の波線③に示すように、ハイレベルである時間がおおよそ40 [ns]の駆動信号(図3の一点鎖線④)を従来のドライバ回路に与えると、そのドライバ回路からの出力信号は、駆動信号の立ち上がりからおおよそ10 [ns]の遅れをもって立ち上がり、駆動信号の立ち下がりからおおよそ19 [ns]の遅

れをもって立ち下がっていることが分かる。

【 0 0 4 3 】

これに対し、本発明では、図 3 の点線①に示すように、同駆動信号（図 3 の一点鎖線④）をドライバ回路 1 0 に与えると、ドライバ回路 1 0 からの出力信号は、オーバシュートおよびアンダーシュートがやや大きい、駆動信号の立ち上がりからおよそ 3 [n s] の遅れをもって立ち上がり、駆動信号の立ち下がりからおよそ 3 [n s] の遅れをもって立ち下がっていることが分かる。

【 0 0 4 4 】

したがって、本実施の形態におけるドライバ回路 1 0 によれば、従来のドライバ回路に比して、駆動信号の入力に対する応答が早いということが分かる。

【 0 0 4 5 】

このようにして、本実施の形態では、トランジスタ $T_{r1} \sim T_{r4}$ と絶縁層 1 4 を隔てて形成される信号線 $L_s, L_{s1} \sim L_{s4}$ と、トランジスタのゲート電極とを接続するコンタクトホールを、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにそれぞれ 3 つずつ設けた。

【 0 0 4 6 】

これにより、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタ $T_{r1} \sim T_{r4}$ に対しては、スイッチングの高速化の効果が大きいので適用が好適である。

【 0 0 4 7 】

上記第 1 の実施の形態において、コンタクトホール $H_{11} \sim H_{43}$ は、請求項 1 なし 4 記載の接続部に対応している。

【 0 0 4 8 】

次に、本発明の第 2 の実施の形態を図面を参照しながら説明する。図 4 および図 5 は、本発明に係るドライバ回路およびその製造方法の第 2 の実施の形態を示す図である。

【 0 0 4 9 】

本実施の形態は、本発明に係るドライバ回路およびその製造方法を、図 4 に示

すように、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路において、駆動信号の入力に対する応答に遅れが生ずるのを防止するとともに、出力に発生するノイズを低減する場合について適用したものである。

【 0 0 5 0 】

まず、本発明を適用したドライバ回路 1 0 の構成を図 4 を参照しながら説明する。図 4 は、ドライバ回路 1 0 を積層方向から見た平面図である。

【 0 0 5 1 】

ドライバ回路 1 0 は、図 4 に示すように、多層配線構造の半導体集積回路からなり、例えば、4 つのトランジスタ $T_{r1} \sim T_{r4}$ を有し、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することにより負荷を駆動するようになっている。具体的に、ドライバ回路 1 0 を構成する半導体集積回路は、図示しないが、半導体基板と、半導体基板上に形成された絶縁層と、絶縁層上に形成された配線層とからなっている。

【 0 0 5 2 】

半導体基板 1 1 上には、各トランジスタ $T_{r1} \sim T_{r4}$ のゲート電極としてポリシリコンからなるゲート電極 $G_1 \sim G_4$ が形成されている。ここで、ポリシリコンのシート抵抗は、1 0 0 [Ω / \square]、各ゲート幅は、例えば、8 0 [μm] 程度である。

【 0 0 5 3 】

配線層には、駆動信号を与えるためのアルミニウムからなる信号線 L_s が各ゲート電極 $G_1 \sim G_4$ の端部を通過するようにそれらと直交して形成されているとともに、各ゲート電極 $G_2 \sim G_4$ 上を通過するようにそれらと平行して信号線 $L_{s2} \sim L_{s4}$ が形成されている。各信号線 $L_{s2} \sim L_{s4}$ は、その一端で信号線 L_s に接続している。ここで、アルミニウムのシート抵抗は、5 0 [$m\Omega / \square$] である。

【 0 0 5 4 】

次に、ドライバ回路 1 0 の製造方法を説明する。

【 0 0 5 5 】

ドライバ回路 1 0 は、次のように製造される。

【 0 0 5 6 】

まず、半導体基板の表面に素子分離領域として酸化膜を形成し、素子領域に所定の不純物拡散を施してから、フォトリソグラフィ技術等によりゲート電極 $G_1 \sim G_4$ を形成し、これらの上にCVD法等により絶縁層を形成する。

【 0 0 5 7 】

次いで、絶縁層に、通常のフォトリソ工程および反応性イオンエッチングによるエッチング工程によりコンタクトホール $H_{11} \sim H_{44}$ を形成する。ここで、各ゲート電極 $G_1 \sim G_4$ ごとにコンタクトホールの数がそれぞれ異なるように、コンタクトホール $H_{11} \sim H_{44}$ を形成する。

【 0 0 5 8 】

そして、絶縁層上にアルミニウム薄膜をスパッタリング等により形成し、その上に塗布されたレジストに対して配線パターンに応じて作成されたマスクを用いてパターニングし、その後にアルミニウム薄膜に対してエッチングを行うことにより配線層を形成する。

【 0 0 5 9 】

次に、上記第2の実施の形態の動作を説明する。

【 0 0 6 0 】

ドライバ制御回路等によりドライバ回路10に駆動信号を与えると、各ゲート電極 $G_1 \sim G_4$ には、それぞれ異なる個数のコンタクトホールを介して信号線 $L_{s1}, L_{s2} \sim L_{s4}$ から駆動信号が入力される。例えば、ゲート電極 G_1 には、1つのコンタクトホール H_{11} を介して、ゲート電極 G_2 には、2つのコンタクトホール H_{21}, H_{22} を介して、ゲート電極 G_3 には、3つのコンタクトホール $H_{31} \sim H_{33}$ を介して、ゲート電極 G_4 には、4つのコンタクトホール $H_{41} \sim H_{44}$ を介して、駆動信号が入力される。

【 0 0 6 1 】

このため、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにゲート電極全域にわたって入力信号が行きわたる時間がそれぞれ異なる。すなわち、ゲート電極 G_4 には、4つのコンタクトホール $H_{41} \sim H_{44}$ を介して駆動信号が入力されるので、ゲート電極 G_4 に流入する電流量が大きく、ゲート電極全域にわたって入力信号が行きわたる

時間が4つのゲート電極 $G_1 \sim G_4$ のうち最も速くなり、これに対し、ゲート電極 G_1 には、1つのコンタクトホール H_{11} を介して駆動信号が入力されるので、ゲート電極 G_1 に流入する電流量が小さく、ゲート電極全域にわたって入力信号が行きわたる時間が4つのゲート電極 $G_1 \sim G_4$ のうち最も遅くなる。

【0062】

したがって、各トランジスタ $T_{r1} \sim T_{r4}$ のスイッチングがそれぞれ異なるタイミングで開始されることとなる。

【0063】

【実施例】

次に、本発明の実施例を図5を参照しながら説明する。図5は、駆動信号および出力信号を示すタイムチャートである。図5において、実線②は、本実施の形態におけるドライバ回路10からの出力信号を、波線③は、従来のドライバ回路からの出力信号を、一点鎖線④は、両ドライバ回路に与える駆動信号を示している。

【0064】

従来では、図5の波線③に示すように、ハイレベルである時間がおよそ40 [ns]の駆動信号（図5の一点鎖線④）を従来のドライバ回路に与えると、そのドライバ回路からの出力信号は、駆動信号の立ち上がりからおよそ10 [ns]の遅れをもって立ち上がり、駆動信号の立ち下がりからおよそ19 [ns]の遅れをもって立ち下がっていることが分かる。

【0065】

これに対し、本発明では、図5の実線②に示すように、同駆動信号（図5の一点鎖線④）をドライバ回路10に与えると、ドライバ回路10からの出力信号は、駆動信号の立ち上がりからおよそ4 [ns]の遅れをもって立ち上がり、駆動信号の立ち下がりからおよそ5 [ns]の遅れをもって立ち下がっていることが分かる。また、上記第1の実施の形態におけるドライバ回路10に比して、電流ノイズが低減しているのが分かる。

【0066】

したがって、本実施の形態におけるドライバ回路10によれば、従来のドライ

バ回路に比して、駆動信号の入力に対する応答が速く、上記第 1 の実施の形態におけるドライバ回路 1 0 に比して、電流ノイズが少ないということが分かる。

【 0 0 6 7 】

このようにして、本実施の形態では、トランジスタ $T_{r1} \sim T_{r4}$ と絶縁層 1 4 を隔てて形成される信号線 $L_s, L_{s2} \sim L_{s4}$ と、トランジスタのゲート電極とを接続するコンタクトホール数を、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにそれぞれ異ならせた。

【 0 0 6 8 】

これにより、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなる。さらには、各トランジスタ $T_{r1} \sim T_{r4}$ のスイッチングがそれぞれ異なるタイミングで開始されることとなるので、上記第 1 の実施の形態におけるドライバ回路 1 0 に比して、各トランジスタ $T_{r1} \sim T_{r4}$ に電流を供給する電源線の電圧が大きく変動することがなく、電流ノイズが低減し、出力に大きなノイズが発生しにくくなる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタ $T_{r1} \sim T_{r4}$ に対しては、スイッチングの高速化の効果およびスイッチングのずれの効果が大きいので適用が好適である。

【 0 0 6 9 】

上記第 2 の実施の形態において、コンタクトホール $H_{11} \sim H_{44}$ は、請求項 5 または 6 記載の接続部に対応している。

【 0 0 7 0 】

なお、上記第 1 の実施の形態においては、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにコンタクトホールをそれぞれ 3 つずつ設けて構成し、上記第 2 の実施の形態においては、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにコンタクトホール数をそれぞれ異ならせて構成したが、これに限らず、これらの実施の形態における構成を組み合わせることにより、駆動信号の入力に対する応答に遅れが生ずるのを防止するとともに、出力に発生するノイズを低減するようにしてもよい。例えば、ゲート電極 G_1 には、3 つのコンタクトホールを、ゲート電極 G_2 には、4 つのコンタクトホールを、ゲート電極 G_3 には、5 つのコンタクトホールを、ゲート電極 G_4 には、6

つのコンタクトホールを形成する。

【 0 0 7 1 】

また、上記第 1 実施の形態においては、本発明に係るドライバ回路およびその製造方法を、ドライバ回路 1 0 が 4 つのトランジスタ $T_{r1} \sim T_{r4}$ を有する場合について適用したが、これに限らず、ドライバ回路 1 0 がトランジスタを少なくとも 1 つ有していれば、これより少数のトランジスタを有する場合でも、これよりも多数のトランジスタを有する場合でも適用することができる。

【 0 0 7 2 】

また、上記第 1 実施の形態においては、各ゲート電極 $G_1 \sim G_4$ ごとにコンタクトホールをそれぞれ 3 つずつ設けて構成したが、これに限らず、各ゲート電極 $G_1 \sim G_4$ ごとに複数のコンタクトホールを設けていれば、これよりも少数のコンタクトホールを設けて構成しても、これよりも多数のコンタクトホールを設けて構成してもよい。後者の場合は、ゲート電極全域にわたって入力信号が行きわたる時間がより短くなり、駆動信号の入力に対する応答がさらに速くなる。

【 0 0 7 3 】

また、上記第 2 実施の形態においては、本発明に係るドライバ回路およびその製造方法を、ドライバ回路 1 0 が 4 つのトランジスタ $T_{r1} \sim T_{r4}$ を有する場合について適用したが、これに限らず、ドライバ回路 1 0 がトランジスタを複数有していれば、これより少数のトランジスタを有する場合でも、これよりも多数のトランジスタを有する場合でも適用することができる。

【 0 0 7 4 】

また、上記第 1 実施の形態においては、本発明に係るドライバ回路およびその製造方法を、図 1 に示すように、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路において、駆動信号の入力に対する応答に遅れが生ずるのを防止する場合について適用したが、これに限らず、本発明の主旨を逸脱しない範囲で他の場合にも適用可能である。

【 0 0 7 5 】

また、上記第 2 実施の形態においては、本発明に係るドライバ回路およびその

製造方法を、図4に示すように、単一の駆動信号を各トランジスタ $T_{r1} \sim T_{r4}$ に与えて駆動することにより負荷を駆動する多層配線構造の半導体集積回路からなるドライバ回路において、駆動信号の入力に対する応答に遅れが生ずるのを防止するとともに、出力に発生するノイズを低減する場合について適用したが、これに限らず、本発明の主旨を逸脱しない範囲で他の場合にも適用可能である。

【0076】

【発明の効果】

以上説明したように、本発明に係る請求項1ないし6記載のドライバ回路によれば、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなるという効果が得られる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタに対しては、スイッチングの高速化の効果が大きいので適用が好適である。

【0077】

さらに、本発明に係る請求項5または6記載のドライバ回路によれば、複数のトランジスタのうち少なくとも2つのトランジスタについてスイッチングがそれぞれ異なるタイミングで開始されることとなるので、請求項1ないし3記載のドライバ回路に比して、それらトランジスタに電流を供給する電源線の電圧が大きく変動することがなく、電流ノイズが低減し、出力に大きなノイズが発生しにくくなるという効果も得られる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタに対しては、スイッチングの高速化の効果およびスイッチングのずれの効果も大きいので適用が好適である。

【0078】

一方、本発明に係る請求項7記載のドライバ回路の製造方法によれば、従来に比して、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなるという効果が得られる。特に、高出力のトランジスタのように、ゲート幅が比較的大きいトランジスタに対しては、スイッチングの高速化の効果が大きいので適用が好適である。

【図面の簡単な説明】

【図1】

ドライバ回路 1 0 を積層方向から見た平面図である。

【図 2】

図 1 中の A - A' 線、B - B' 線および C - C' 線の断面図である。

【図 3】

駆動信号および出力信号を示すタイムチャートである。

【図 4】

ドライバ回路 1 0 を積層方向から見た平面図である。

【図 5】

駆動信号および出力信号を示すタイムチャートである。

【図 6】

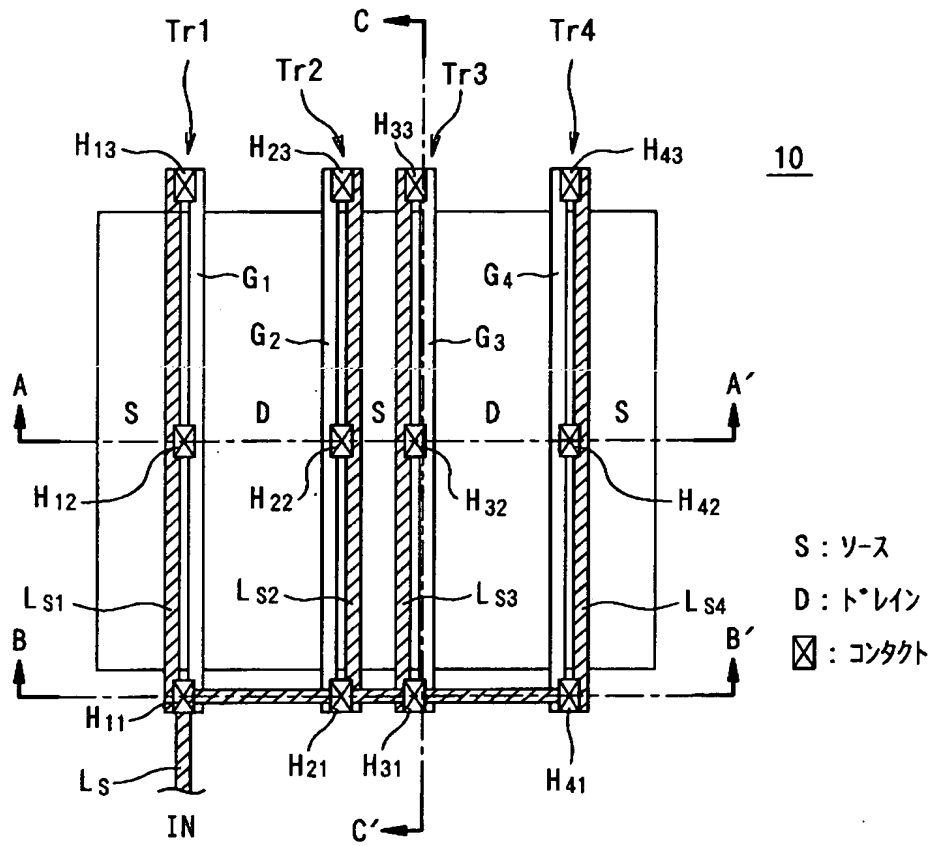
従来のドライバ回路を積層方向から見た平面図である。

【符号の説明】

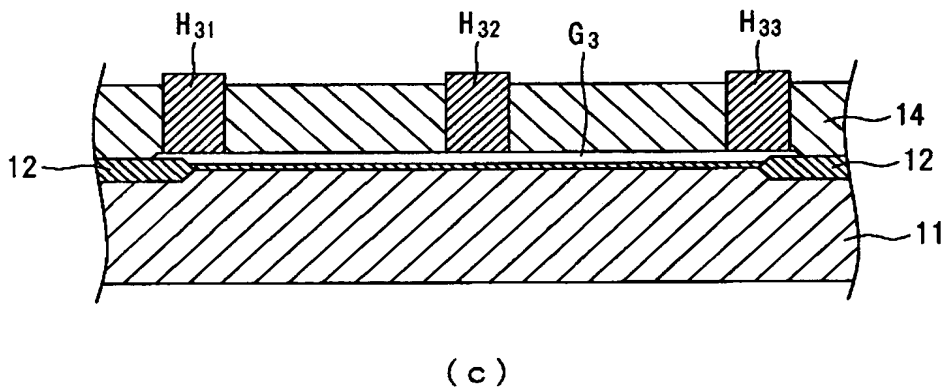
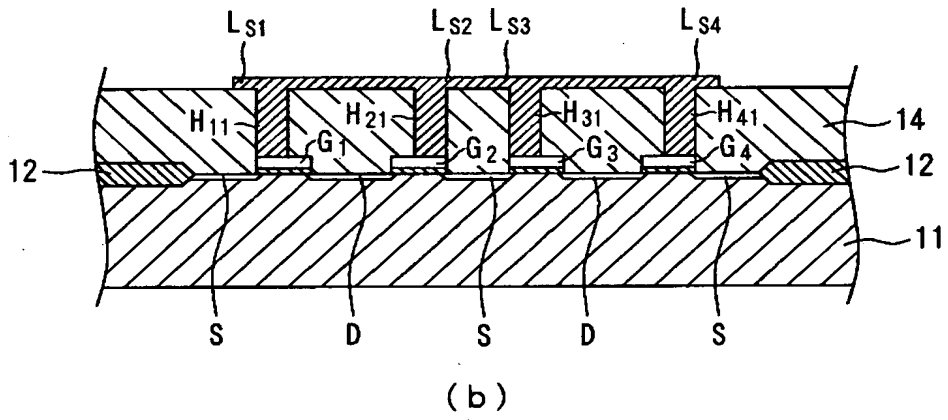
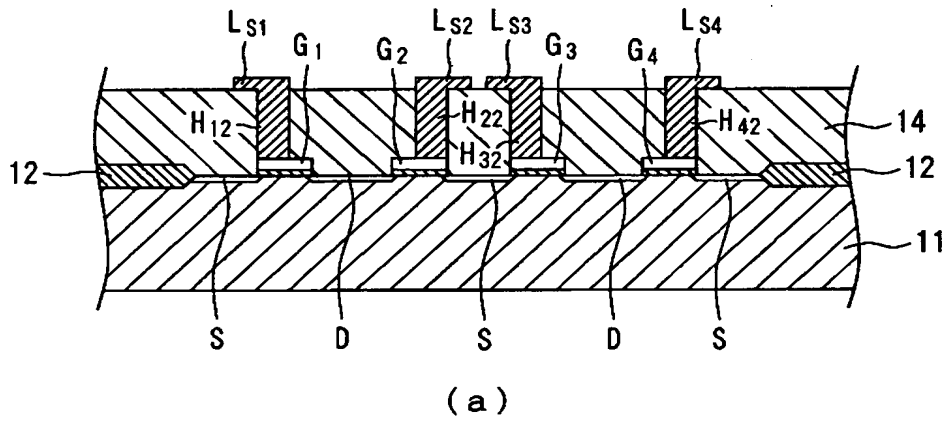
1 0	ドライバ回路
1 1	半導体基板
1 2	酸化膜
1 4	絶縁層
$T_{r1} \sim T_{r4}$	トランジスタ
$G_1 \sim G_4$	ゲート電極
L_s	信号線
$L_{s1} \sim L_{s4}$	信号線
$H_{11} \sim H_{44}$	コンタクトホール

【書類名】 図面

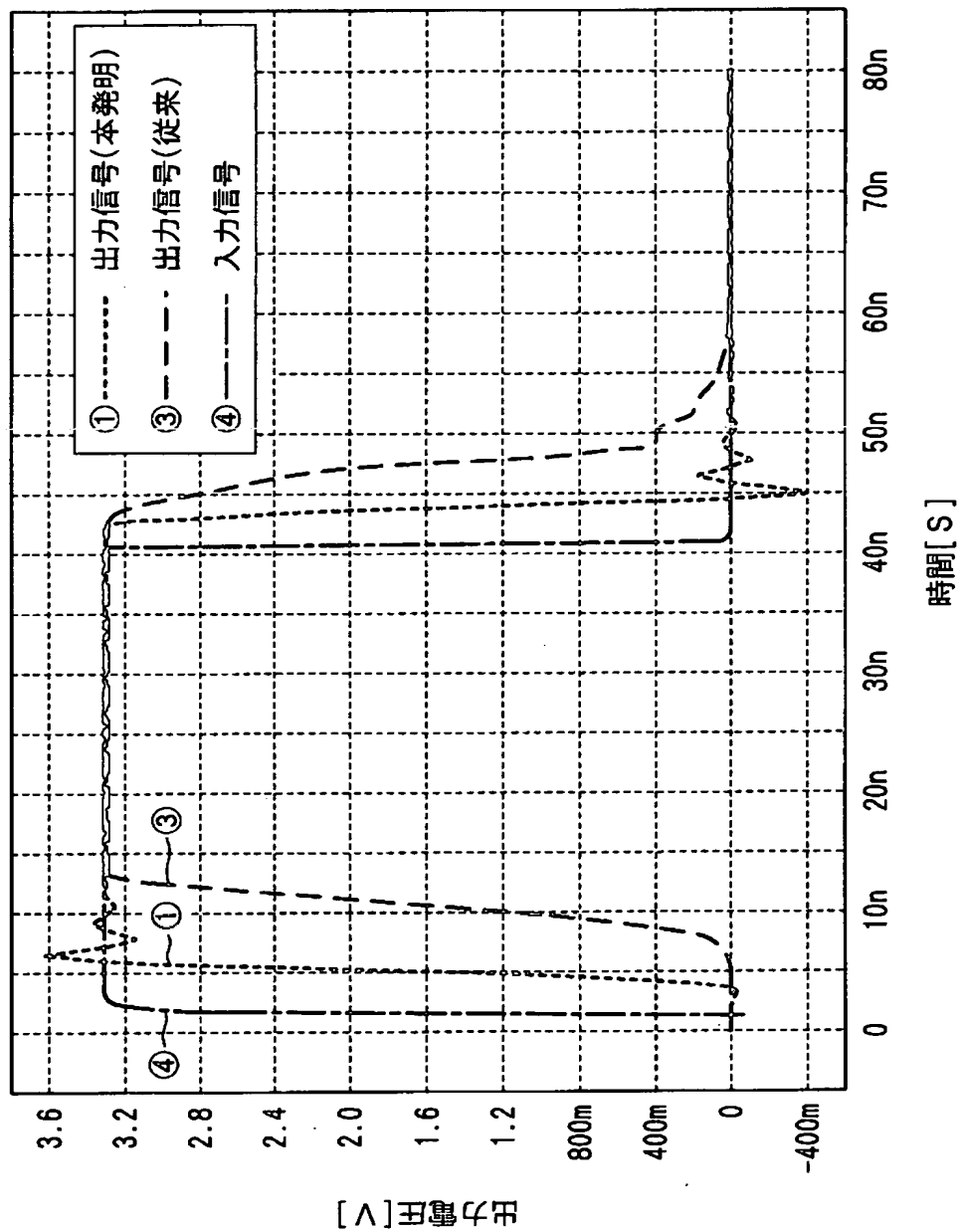
【図 1】



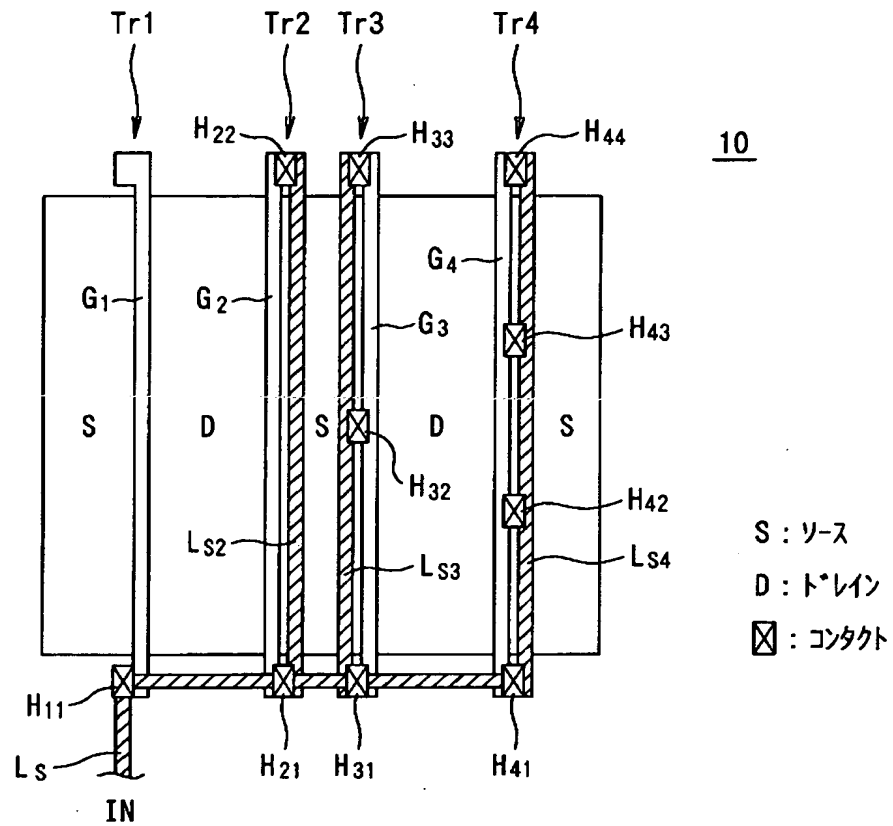
【図 2】



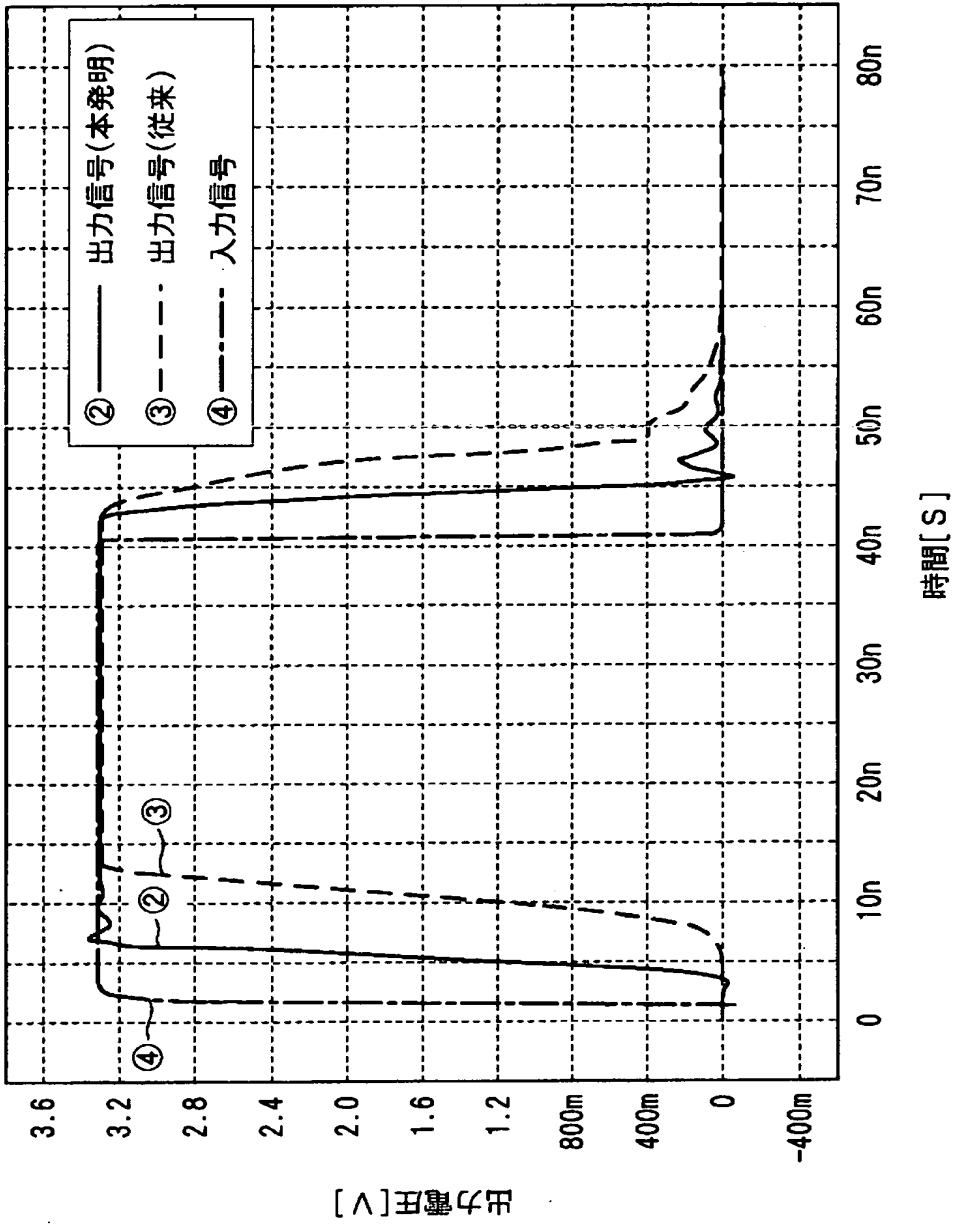
【図 3】



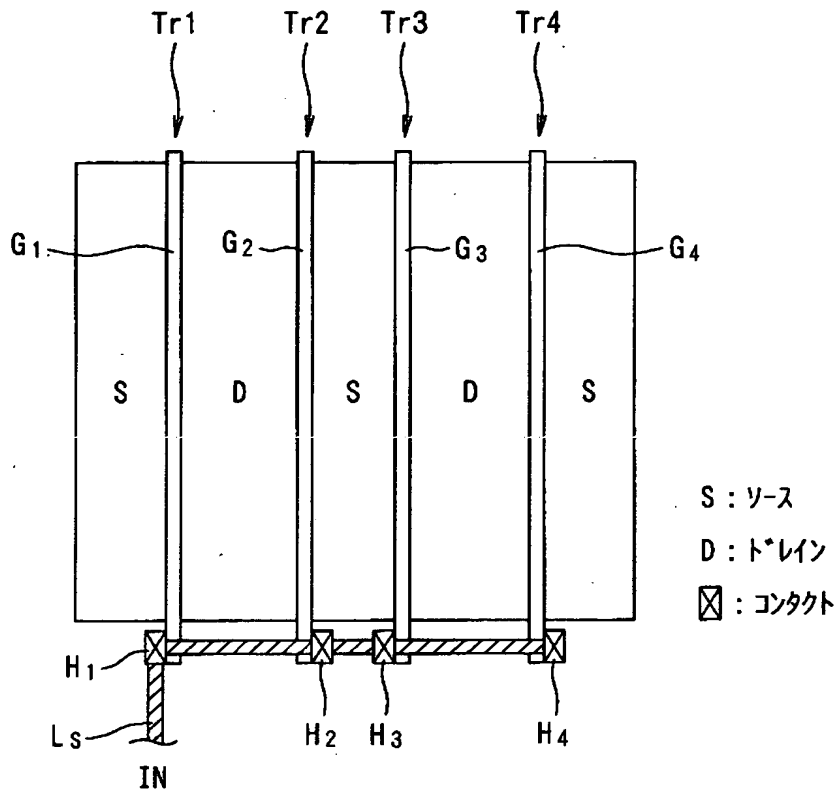
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 駆動信号の入力に対する応答に遅れが生ずるのを防止するのに好適なドライバ回路およびその製造方法を提供する。

【解決装置】 トランジスタ $T_{r1} \sim T_{r4}$ と絶縁層14を隔てて形成される信号線 $L_s, L_{s1} \sim L_{s4}$ と、トランジスタのゲート電極とを接続するコンタクトホールを、各トランジスタ $T_{r1} \sim T_{r4}$ ごとにそれぞれ3つずつ設けた。これにより、ゲート電極全域にわたって入力信号が行きわたる時間が短くなり、駆動信号の入力に対する応答が比較的速くなる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社